

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-214497
 (43) Date of publication of application : 06. 08. 1999

(51) Int. Cl. H01L 21/76

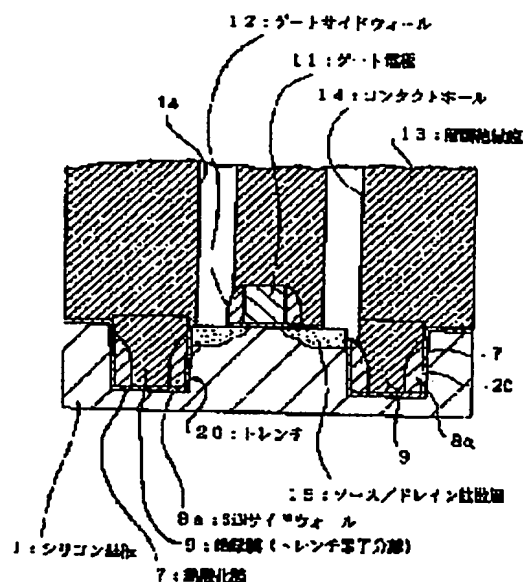
(21) Application number : 10-011575 (71) Applicant : SONY CORP
 (22) Date of filing : 23. 01. 1998 (72) Inventor : MATSUMOTO KOICHI

(54) TRENCH STRUCTURE FOR ISOLATING ELEMENTS OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a trench structure of a semiconductor device wherein a semiconductor device is obtd. which stably operates, without causing short-circuiting between a source/drain diffusion layer and substrate (well) due to the misalignment between a contact and element isolation region.

SOLUTION: On a substrate 1 having elements 11, 12, 15 an insulation film 13 is laminated, etching-stop side walls 8a are formed on the inner walls of trenches 20 between the elements of the substrate 1, and the trenches 20 are filled with an insulation material 9. Due to the existence of the side walls 8a, if a misalignment of contact holes exists, the contact holes 14 never reach the bottoms of the trenches 20 and the short circuit between a source/drain diffusion layer 15 and substrate (well) can be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214497

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.^a

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

L

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平10-11575

(22) 出願日 平成10年(1998) 1月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6丁目7番35号

(72) 発明者 松本 光市

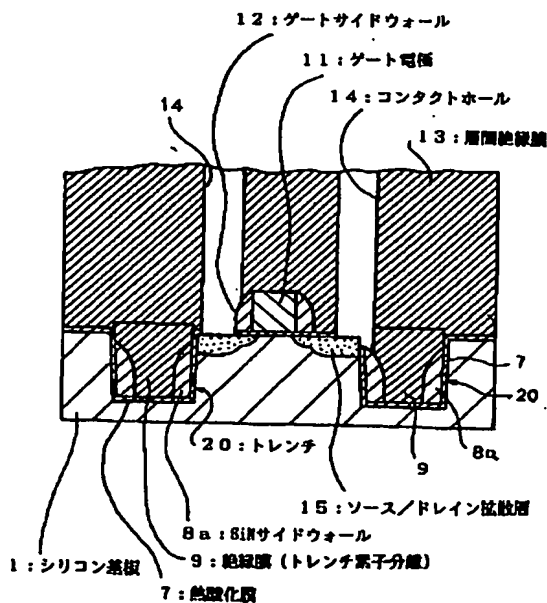
東京都品川区北品川 6丁目7番35号 ソニー株式会社内

(54) 【発明の名称】 半導体装置の素子分離用トレンチ構造

(57) 【要約】

【課題】 コンタクトと素子分離領域との間の位置合わせずれによるソース/ドレイン拡散層と基板(ウェル)との短絡を起こさず、安定した動作の半導体装置が得られる半導体装置の素子分離用トレンチ構造を提供する。

【解決手段】 素子 11, 12, 15 が形成された基板 1 上に絶縁膜 13 が積層され、この基板の各素子間に設けた溝 20 の内壁に、絶縁膜 13 に対するエッチングストップ用のサイドウォール 8a を形成し、この溝 20 内を絶縁材 9 で充填する。サイドウォール 8a の存在によりコンタクトホール 14 は溝 20 の底部まで達することなく、ソース/ドレイン拡散層 15 と基板(ウェル)との短絡を防止することができる。



【特許請求の範囲】

【請求項1】複数の素子が形成された基板上に絶縁膜が積層され、

この基板の各素子間に設けた溝の内壁に、前記絶縁膜に対するエッチングストップ用のサイドウォールを形成し、

この溝内を絶縁材で充填したことを特徴とする半導体装置の素子分離用トレンチ構造。

【請求項2】前記基板はSiからなり、前記絶縁膜および絶縁材はSiO₂からなり、前記サイドウォールはSiNからなることを特徴とする請求項1に記載の半導体装置の素子分離用トレンチ構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の素子分離用トレンチ構造に関し、特に、半導体装置のコンタクトとトレンチ素子分離領域との間の位置合わせずれを吸収できる半導体装置の素子分離用トレンチ構造に関するものである。

【0002】

【従来の技術】基板上に半導体デバイスを形成する場合、個々のトランジスタ等の素子を電気的に分離するための素子分離構造の1つとして、各素子間に溝を形成し、この溝内に絶縁材を充填したトレンチ構造が用いられている。

【0003】このような素子分離用トレンチ構造は例えば特開平5-21591号公報に開示されている。この公報記載のトレンチ構造は、ウェーハ上の素子分離領域にトレンチ用の溝を形成し、その内壁に酸化膜と窒化膜を設け、内部をポリシリコンで充填し、上面を酸化膜キャップで覆ったものである。この場合、窒化膜は、酸化膜キャップ形成の際の膨張に伴って発生する応力が素子領域に及ぶことを抑制し、素子領域に結晶欠陥が発生することを防ぐために設けられる薄膜である。

【0004】一方近年、半導体装置の素子寸法の絶え間ない微細化、高集積度化に伴い、例えば、MOSULSIにおける各素子パターン間の位置合わせずれが非常に重要な問題となっている。例えば、一般的なMOSFET構造において、上記位置合わせずれの例として、配線接続のために層間絶縁膜に設けられるコンタクトとゲートとの間の位置合わせずれ、および、コンタクトと素子分離領域との間の位置合わせずれが挙げられる。前者の位置合わせずれが大きい場合、最悪にはゲートとソース/ドレイン拡散層との間で短絡が発生し、一方、後者の位置合わせずれが大きい場合、最悪にはソース/ドレイン拡散層と基板（ウェル）との間で短絡が発生する。前者の位置合せずれに対しては、各種自己整合コンタクト構造等の改良案が提案されている。しかしながら、後者の位置合せずれに対しては、充分有効な改良構造は実現されていない。

【0005】ここで本発明に関連する後者のコンタクトと素子分離領域との間の位置合わせずれについて、図9を参照して具体的に説明する。図9はトレンチ20を素子分離に使用した従来のMOSFETの製造途中の断面図である。図9において、シリコン基板1の素子形成部の両側に素子分離用のトレンチ20が形成される。このトレンチ20に囲まれて基板1上にゲート酸化膜を介してゲート電極11が形成される。ゲート電極11の両側にはゲートサイドウォール12が形成される。また、ゲート電極11に係合する位置の基板内にソース/ドレイン拡散層15が形成される。トレンチ20内は熱酸化膜7を介してSiO₂からなる絶縁膜9で充填される。

【0006】このようなゲート電極11およびトレンチ20が形成された基板1の上面にSiO₂からなる層間絶縁膜13が形成される。この層間絶縁膜13には、上層に形成される配線層（図示しない）とソース/ドレイン拡散層15とを接続するためのコンタクトホール14が形成される。このコンタクトホール14は、フォトリソグラフィ技術により、予めゲート電極11の両側のソース/ドレイン拡散層15の位置に対応して形成されたレジストマスクを用いて、イオンエッチング等により形成される。

【0007】

【発明が解決しようとする課題】しかしながら、上記コンタクトホール14を形成する際、レジストマスクの位置ずれが起こると、コンタクトホール14がソース/ドレイン拡散層15からずれて形成される。図9に示したコンタクトホール14（コンタクト形成部）は、トレンチ20の素子分離領域と位置合わせずれが生じ、図の右側のトレンチ20には熱酸化膜7が除去され、コンタクトホール14がトレンチ20の底部まで達してギャップ22が形成された状態となっている。従って、この状態でコンタクトを取るとこのギャップ22を介してソース/ドレイン拡散層15と基板（ウェル）が導通し、短絡が発生する。

【0008】このようなコンタクトホールの位置ずれの問題は、前述の特開平5-21591号公報記載のトレンチ構造においても起こる。この公報記載のトレンチには前述のように、トレンチ内に埋め込まれるポリシリコン上の酸化キャップの膨張による応力が素子領域に及ばないようにするための窒化膜が形成されたものであるが、このような構造においてもコンタクトホールの位置ずれが生じた場合、トレンチ底部がエッチングされ短絡が発生する。また、この公報には、コンタクトホールの位置ずれの問題について何等記載がなくこの問題に対処し得ない。

【0009】上記問題を考慮して、本発明はコンタクトと素子分離領域との間の位置合わせずれによるソース/ドレイン拡散層と基板（ウェル）との短絡を起こさず、安定した動作の半導体装置が得られる半導体装置の素子

分離用トレンチ構造を提供することを目的とする。

【0010】

【課題を解決するための手段】上述の目的を達成するため、本発明は、複数の素子が形成された基板上に絶縁膜が積層され、この基板の各素子間に設けた溝の内壁に、前記絶縁膜に対するエッチングストップ用のサイドウォールを形成し、この溝内を絶縁材で充填したことを特徴とする。

【0011】この構成によれば、基板の各素子間に設けた素子分離用の溝の内壁に、絶縁膜に対するエッチングストップ用のサイドウォールを設けているため、コンタクトホール14のエッチング時にコンタクトホールが所定の位置からずれて形成されても、サイドウォールでエッチングが停止する。そのためコンタクトを介してソース/ドレイン拡散層と基板（ウェル）との導通が発生せず、短絡を起こさない。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。図1は、本発明の実施の形態に係る素子分離用トレンチ構造を備えたMOSFETの断面図である。本発明の半導体装置の素子分離用トレンチ構造は、この図1のMOSFETの構造例に示すように、シリコン基板1に形成された複数の素子形成部（図では1つのみ示す）の両側に素子分離用のトレンチ20が形成される。このトレンチ20に囲まれて基板1上にゲート酸化膜を介してトランジスタ素子を構成するゲート電極11が形成される。ゲート電極11の両側にはゲートサイドウォール12が形成される。また、ゲート電極11に係合する位置の基板内にソース/ドレイン拡散層15が形成される。トレンチ20の内面はSiO₂の熱酸化膜7で覆われ、両側壁にはこの熱酸化膜7に比べ肉厚のシリコンナイトライド（SiN）からなるサイドウォール8aが形成される。このトレンチ20内はSiO₂からなる絶縁膜9で充填される。

【0013】このようなゲート電極11およびトレンチ20が形成された基板1の上面にSiO₂からなる層間絶縁膜13が形成される。この層間絶縁膜13には、上層に形成される配線層（図示しない）とソース/ドレイン拡散層15とを接続するためのコンタクトホール14が形成される。このコンタクトホール14は、フォトリソグラフィ技術により、予めゲート電極11の両側のソース/ドレイン拡散層15の位置に対応して形成されたレジストマスクを用いて、イオンエッチング等により形成される。このとき配線回路を形成するために、さらにゲート電極11に接続するコンタクトホール（図示しない）も同時に形成される。

【0014】上記トレンチ20内のSiNサイドウォール8aは、SiO₂からなる層間絶縁膜13にコンタクトホール14を形成する際のエッチングストップ用のものである。このようなサイドウォール8aにより、レジ

ストマスクが位置ずれてトレンチ20にまでエッチング領域が及んだ場合、SiO₂に対しエッチング選択比が大きいSiNのサイドウォール8aがエッチングストップとなるため、コンタクトホール14がトレンチ20の底部まで達することではなく、コンタクトホール14の位置ずれによる上層配線およびソース/ドレイン拡散層と基板内部との短絡が防止される。

【0015】以下、このような本発明に係る素子分離用トレンチ構造を製造するための方法を図2から図8を参照して説明する。まず、図2に示すように、Si（シリコン）基板1に例えば5nmの厚さのパッド酸化膜である絶縁膜2を形成する。この上に厚さ約100nmのSiN膜4及び厚さ約100nmのpoly-Si（ポリシリコン）膜5を通常のCVD法等で順次成膜する。このSiN膜4は、後述の図7の平坦化プロセスにおいて、CMP研磨を行う場合にストップとしての機能を有する。

【0016】次に、図3に示すように、リソグラフィ技術を用いてトレンチパターンを開口したフォトレジストパターン6を形成し、ドライエッチング技術によりpoly-Si膜5、SiN膜4、絶縁膜2そして上部のシリコン基板1まで順次エッチングしてトレンチ20を形成する。このエッチングでシリコン基板1を、例えば、厚さ500nm程度エッチングする。この後、フォトレジストパターン6を除去した後、図4に示すように、全面を熱酸化することによりpoly-Si膜5の表面とトレンチ20の内壁に例えば厚さ30nmの熱酸化膜7を形成する。続いて、CVD法によりSiNを例えば60nmの厚さに成膜してトレンチ内壁に沿ったSiN膜8を形成する。

【0017】次に、異方性エッチングにより積層面を上面からエッチバックをする。このエッチバックでは、図5（A）に示すように、トレンチ20の内壁にサイドウォールとして残るSiN膜の肩部がSi基板1の表面以下になるまでオーバーエッチングしてSiNサイドウォール8aを形成する。このとき、シリコンあるいは酸化膜（SiO₂）に対するSiNのエッチングレート選択比が小さい場合、オーバーエッチングによりpoly-Si膜5の厚さが減少したり、トレンチ20の底部のシリコン基板1も露出して掘れることがある。この場合には、図5（B）に示すように、SiNの異方性エッチング後、例えば熱酸化を追加的に行なってシリコン基板1の露出部に熱酸化膜7を形成する。

【0018】その後、図6に示すようにHDP（High-Density Plasma enhanced deposition）法などによりSiO₂、絶縁膜9をトレンチ部を埋め込むように成膜する。

【0019】続いて、図7に示すように、CMP（Chemical/Mechanical Polishing：化学機械研磨）法などにより平坦化ならびにSiN膜4が露出するまでのエッチングを行う。次に、ホット磷酸等によりSiN膜4を除

去し、さらにDHF（希フッ酸）等によりパッド酸化膜である絶縁膜2を除去する。

【0020】以下、通常の方法にしたがって、図1のMOSFETからなる半導体装置を製造する。この製造は、先ず、前述のように図7のSiN膜4、絶縁膜2を順次除去した後、10nm程度の厚さの酸化膜を熱酸化法で形成し、その後、ウェル、チャネル等のイオン注入をリソグラフィでパターンニングされたフォトレジストをマスクに行なう。さらに、この10nm程度の厚さの熱酸化膜を剥離した後、図8に示すように、ゲート

熱酸化を行ないゲート絶縁膜10を形成する。
【0021】続いて、このゲート絶縁膜10上に例えばCVD法等により例えば厚さ200nm程度の多結晶シリコン（Poly-Si）膜を堆積する。この場合、低抵抗化するためにシリサイド層を多結晶シリコン膜上に形成してもよいが本図では省略する。その後、フォトリソグラフィ技術を用いてゲートパターンをレジスト膜により形成する。このレジスト膜をマスクとして多結晶シリコン膜を選択的に除去して、ゲート電極を形成する。続いて、レジストをマスクにしてLDD（Lightly

Doped Drain）用のイオン注入を行なう（例えばイオン種を砒素（As）、注入パワーを20keV、注入数を $1 \times 10^{14}/\text{cm}^2$ とした）。

【0022】続いて、例えばCVD法により10nmの厚さのSiO₂膜と100nmの厚さの例えばSiN膜をシリコン基板1全面に形成する。その後SiO₂、絶縁膜をストップとした異方性エッチングによりゲート電極11の側面部に例えばSiNからなる幅広のゲートサイドウォール12を形成する。続いて、フォトレジストをマスクにしてソース/ドレイン用のイオン注入を行なう

（例えばAs、40keV、 $1 \times 10^{15}/\text{cm}^2$ ）。

【0023】続いて、SiO₂層間絶縁膜13を例えば1μmの厚さに成膜後、CMP等を行ない平坦化する。その後、レジストをマスクにし、SiNや高融点金属シリサイド層と選択性を持った異方性エッチングにより層間絶縁膜13にコンタクトホール14を形成する（図1）。

【0024】以降のコンタクトの形成、アニール、上層金属配線の形成、パッシベーション膜の形成等については通常の方法にしたがって行なわれる。このようにして*

*本発明の素子分離用トレンチ構造を有するMOSFETが完成する。

【0025】

【発明の効果】以上説明したように、本発明の半導体装置の素子分離用トレンチ構造によれば、コンタクトホールのエッチング時にコンタクトホールが所定の位置からずれて形成されても、トレンチ内壁に形成したサイドウォールでエッチングが停止する。そのためコンタクトを介してソース/ドレイン拡散層と基板（ウェル）との導通が発生せず、短絡を起こさない。したがって、安定した信頼性の高い動作が得られる。また、コンタクトホール形成時にマスクの位置合せずれの許容範囲が広がり微細な素子形成が可能になるとともに歩留りの向上が図られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係る素子分離用トレンチ構造の断面図。

【図2】 図1のトレンチ構造を形成するための最初のプロセスのトレンチ形成部の断面図。

【図3】 図2のプロセスに続くプロセスにおけるトレンチ形成部の断面図。

【図4】 図3のプロセスに続くプロセスにおけるトレンチ形成部の断面図。

【図5】 図4のプロセスに続くプロセスにおけるトレンチ形成部の断面図。

【図6】 図5のプロセスに続くプロセスにおけるトレンチ形成部の断面図。

【図7】 図6のプロセスに続くプロセスにおけるトレンチ形成部の断面図。

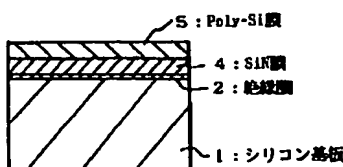
【図8】 図7のプロセスに続くプロセスにおけるトレンチ形成部の断面図。

【図9】 従来の素子分離用トレンチ構造の断面図。

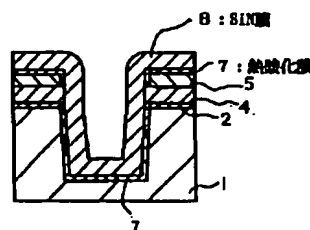
【符号の説明】

1：シリコン基板、2：絶縁膜、4、8：SiN膜、5：ポリシリコン膜、6：レジストパターン、7：熱酸化膜、8a：SiNサイドウォール、9：絶縁膜、11：ゲート電極、13：層間絶縁膜、14：コンタクトホール、15：ソース/ドレイン拡散層、20：トレンチ。

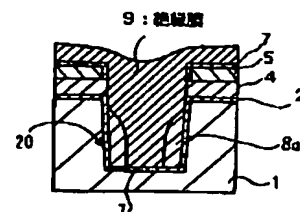
【図2】



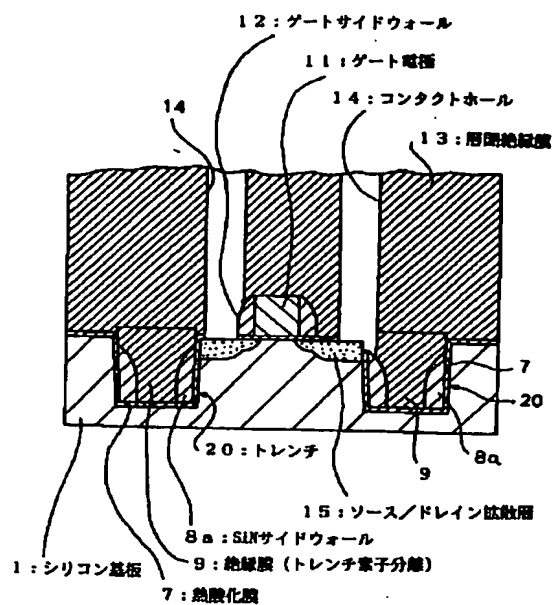
【図4】



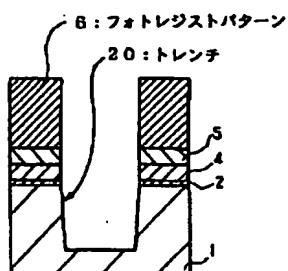
【図6】



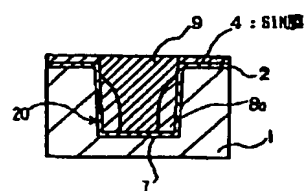
【図1】



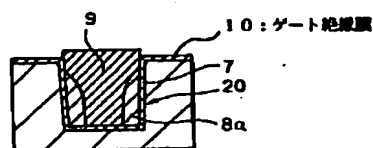
【図3】



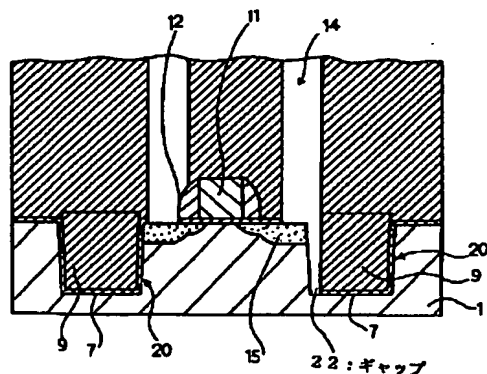
【図7】



【図8】



【図9】



【図5】

